



Karlsruher Institut für Technologie
Institut für Technische Informatik
Prof. Dr. Wolfgang Karl

Klausur Rechnerstrukturen
Wintersemester 2009/10
Aufgabenteil

Aufgabe 1: Quantifizierung

10P

Leistungsbewertung von Rechensystemen

4,5P

Ein Rechenzentrumsleiter bekommt zwei Rechensysteme angeboten und möchte diese unter Zuhilfenahme von einfachen analytischen Mitteln hinsichtlich ihrer Leistungsfähigkeit beurteilen.

- a) Der Rechenzentrumsleiter macht die Vorgabe, dass nicht mehr als 50 Jobs gleichzeitig auf die Bearbeitung warten sollen. System A weist eine durchschnittliche Wartezeit von 10 Minuten auf, System B beziffert diese mit 15 Minuten. Geben Sie den Namen und die formelmäßige Zusammensetzung der Gesetzmäßigkeit an, nach der Sie den Durchsatz der Systeme bestimmen. 2P
- b) Eine weiterführende Auswertung des Nutzerverhaltens ergibt, dass das zu beschaffende Rechensystem mindestens 240 Jobs pro Stunde bearbeiten muss. Welches der oben vorgestellten Systeme empfehlen Sie und warum? 0,5P
- c) Im laufenden Betrieb haben sich Monitore bewährt, um das Verhalten eines Rechensystems zu beobachten und zu untersuchen. Nennen Sie die zwei grundlegenden Möglichkeiten, Monitore zu realisieren. Geben Sie jeweils einen für diese Art spezifischen Vor- oder Nachteil an. 2P

Low-Power-Entwurf

3,5P

- d) Vervollständigen Sie das auf dem Lösungsblatt angegebene CMOS-Schaltbild eines Inverters und beschriften Sie die Transistoren entsprechend ihrer Dotierung. Als Hilfestellung ist eine Wahrheitstabelle beigelegt. 0,5P
- e) Welchen Vorteil hat die Verwendung der pMOS- und nMOS-Transistoren in der bei idealen CMOS-Schaltungen üblichen Art und Weise? 0,5P
- f) Beschreiben Sie in Worten, wie sich dieser Zusammenhang zur Minimierung der Leistungsaufnahme im Hinblick auf den Aufbau von Funktionen, wie z. B. $f = (((a \wedge b) \wedge c) \wedge d)$ oder $f = ((a \wedge b) \wedge (c \wedge d))$, nutzen lässt. 0,5P
- g) In welche zwei Teile lässt sich die Leistungsaufnahme P_{total} von CMOS-Schaltungen aufteilen? 0,5P
- h) In letzter Zeit steigt der Anteil einer frequenzunabhängigen Größe an der Leistungsaufnahme P_{total} von realen CMOS-Schaltungen. Benennen Sie die gesuchte Größe und erklären Sie, warum diese Größe
- prinzipiell entsteht und
 - durch welchen Trend sie begünstigt wird.

Fertigungskosten

2P

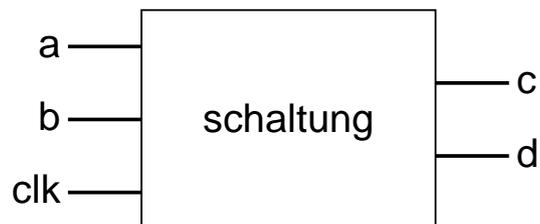
- i) Die Anzahl der erzielbaren Dies pro Wafer ist eine wesentliche Kenngröße bei der Ermittlung der Fertigungskosten.
- Wie lautet die Formel hierfür? 0,5P

- Was sind die zwei Teilgrößen der Formel? Ordnen Sie diese Teilgrößen den Formelbestandteilen zu. *0,5P*
- Nehmen Sie an, durch Fortschritte in der Halbleitertechnik (z. B. durch einen Wechsel des verwendeten Materials zum Züchten des Einkristalls) lässt sich ein Wafer mit quadratischer Grundfläche züchten. Alle weiteren Randbedingungen sollen gleich bleiben. Erklären Sie die Auswirkungen für die erzielbaren Dies pro Wafer anhand der eben erläuterten Formeln. *1P*

Aufgabe 2: Hardwareentwurf

10P

- a) Welche Aufgaben lassen sich mittels Hardwarebeschreibungssprachen durchführen? Nennen Sie zwei solche Aufgaben und erläutern Sie diese jeweils kurz. **2P**
- b) Am Ende einer VHDL-Beschreibung findet sich häufig eine sogenannte Configuration. Welche Funktion hat diese? **1P**
- c) Im Folgenden sehen Sie eine grafische Schnittstellendefinition aus dem Spezifikationsprozess, den Sie im Rahmen des Entwurfsprozesses in VHDL übertragen. **3P**



Vervollständigen Sie auf dem Lösungsblatt die zur Schaltung gehörige Beschreibung der Entity. Nehmen Sie an, dass alle Ports vom Typ `bit` seien.

Hinweis: Die Syntax ist für die Korrektur nicht ausschlaggebend.

- d) In einer VHDL-Beschreibung sei eine Architektur wie folgt beschrieben. Die zugehörige Entity haben Sie bereits in Teilaufgabe c) kennengelernt. **2P**

```
architecture verhalten of schaltung is
begin
```

```
    prozess_und : process (clk)
    begin
        if (clk'event and clk='1') then
            c <= a and b;
        end if;
    end process prozess_und;
```

```
    prozess_oder : process (clk)
    begin
        if (clk'event and clk='1') then
            d <= a or b;
        end if;
    end process prozess_oder;
```

```
end verhalten;
```

Zeichnen Sie die mittels dieser Beschreibung realisierte Schaltung.

Signale und Variablen**2P**

Innerhalb der Hardwareentwurfssprache finden sich verschiedene Typen zur Verbindung von Schaltungselementen und Anschlüssen.

- e) Wo werden Signale, wo Variablen im VHDL-Text definiert? *1P*
- f) Wo liegt der grundsätzliche Unterschied zwischen Signalen und Variablen? *1P*

Aufgabe 3: Prozessorarchitektur

10P

Pipelining und Leistungsbewertung

4,5P

Gegeben sei ein Prozessor mit RISC-Architektur. Alle Befehle haben die gleiche Ausführungsdauer.

- a) Geben Sie die Formeln für die Ausführungszeit T jeweils für den Fall mit und ohne Pipeline sowie den durch Pipelining erzielten Speedup S für eine k -stufige, ideale Pipeline in Abhängigkeit der Befehlsanzahl n an. *1P*
- b) Eine Prozessorarchitektur A verfüge über eine 5-stufige Pipeline, auf der ein Programmcode mit 10.000.000 Befehlen ausgeführt werde, wobei 2% der Befehle einen Datenkonflikt verursachen, der jeweils mit einem zusätzlichen Zyklus behoben wird, und weitere 6% der Befehle Sprungbefehle sind, die zu einer Verzögerung von jeweils 3 Takten führen. *1P*
- Berechnen Sie die effektive Ausführungsdauer T in Takten sowie Sekunden für eine Taktrate von 2 GHz und den erzielten Speedup.
- c) Für den Entwurf einer Rechenanlage kommt eine weitere Prozessorarchitektur B in Frage, zu der Sie folgende Angaben erhalten haben: Die Länge des auszuführenden Codes beträgt auf Architektur B 12.500.000 Befehle, das Prozessormodell zu Architektur B ist mit 2,5 GHz getaktet. Der Code wird auf dieser Architektur innerhalb von 6 ms ausgeführt. *1,5P*
- Vergleichen Sie die beiden Architekturen hinsichtlich ihres CPI-Werts. Welche Architektur würden Sie auswählen? Begründen Sie.
- d) Zur Auflösung von Konflikten in Pipelines existieren statische und dynamische Verfahren. Nennen Sie zwei dynamische Verfahren. *1P*

Sprungvorhersage

3P

- e) Skizzieren Sie den Aufbau eines Branch Target Address Caches (BTAC) mit abgeschlossenem Branch Prediction Buffer / Branch History Table (BHT). *1P*
- f) Zeichnen Sie das Zustandsdiagramm für einen 2-Bit-Hysteresezähler. *1P*
- g) Vervollständigen Sie die auf dem Lösungsblatt befindliche Tabelle entsprechend dem jeweiligen Sprungausgang für einen 2-Bit-Hysteresezähler, wobei jeder Sprung über einen eigenen Prädiktor verfüge. Diese seien jeweils mit Weakly Not Taken (WNT) initialisiert. *1P*

Aufgabe 4: Parallelverarbeitung 10P

Quantitative Maßzahlen 3P

- a) Die Ausführung einer MPI-Anwendung auf einem Cluster mit 64 Knoten betrage 80 Sekunden. Die sequentielle Ausführungszeit betrage 2560 Sekunden. Ermitteln Sie anhand von Amdahls Gesetz den Bruchteil der Anwendung, der nur sequentiell ausführbar ist. 1P
- b) Was wird bei der algorithmenunabhängigen Definition der Beschleunigung verglichen? Welchen Nachteil hat die algorithmenabhängige Definition der Beschleunigung, der die Messung der Ausführungszeit verfälschen kann? 1P
- c) Der Parallelindex I gibt den mittleren Grad des Parallelismus an. Welche Aussage können Sie mit Hilfe des Parallelindex zur Abschätzung der Beschleunigung (Speed-Up) machen? Geben Sie zusätzlich eine Formel an, aus der dies ersichtlich wird. 1P

Parallelisierung 2P

- d) Als Programmierer sollen Sie ein gegebenes Problem möglichst effizient auf einem Parallelrechner umsetzen. Vervollständigen Sie die Grafik auf dem Lösungsblatt, indem Sie die beim Parallelisierungsprozess durchzuführenden Schritte in die jeweils vorgesehene Box eintragen.

Verbindungsnetze und -strukturen 2P

- e) Lange Zeit war ein Hyperkubus die häufigste Verbindungsstruktur bei nachrichtengekoppelten Multiprozessorsystemen. Wieviele Knoten müssen bei einem Hyperkubus für eine Erweiterung hinzugefügt werden? Was stellen Sie dabei für den Verbindungsgrad fest? 1P
- f) Gegeben sei ein 4-dimensionaler Hyperkubus ($n = 4$). Bestimmen Sie die Anzahl von Knoten N sowie den Diameter. 1P

Vektorverarbeitung 3P

- g) In welche Klasse bei der Klassifizierung von Rechensystemen nach M. Flynn fallen Vektorprozessoren (Vektorrechner)? In welche Klasse fallen im Vergleich dazu nachrichtengekoppelte Parallelrechner? 1P
- h) Was muss das Rechenwerk eines Prozessors besitzen, um als Vektoreinheit eines Vektorprozessors (Vektorrechners) bezeichnet werden zu können? 1P
- i) Mit einem Vektorbefehl werden zwei Felder von Gleitpunktzahlen verarbeitet. Was entfällt bei der Befehlsverarbeitung im Vergleich zu skalaren Prozessoren? 1P

Aufgabe 5: Speicherhierarchie

10P

Cache-Leistung

4P

Gegeben sei ein Mikroprozessorsystem mit einer Taktfrequenz von $f = 2\text{ GHz}$, einem Level1-Cache und einem Hauptspeicher. Die Zugriffszeit des Caches beträgt $t_{L1} = 2.5\text{ ns}$, wenn ein Cache-Hit vorliegt. Die Gesamtzugriffszeit auf den Hauptspeicher (im Falle eines Cache-Fehlzugriffes) $t_{Mem} = 40\text{ ns}$. Der Cache verwendet das Copy-Back-Verfahren. Bei der Ausführung einer einfachen Anwendung wurde folgender Befehlsmix ermittelt:

Befehlstyp	Anzahl
Integer-Operationen	1 000 000
Load-Operationen	200 000
Store-Operationen	50 000

Integer-Operationen werden vom Prozessor in einem Taktzyklus bearbeitet. Die Dauer der Load- und Store-Operationen hängt davon ab, ob sich das benötigte Datum im Cache befindet oder aus dem Hauptspeicher geladen werden muss. Gehen Sie bei der Bearbeitung davon aus, dass die Berechnungen erst nach vollständiger Abarbeitung der Load- bzw. Store-Operationen fortgeführt werden.

- Geben Sie eine allgemeine Formel zur Berechnung der mittleren Zugriffszeit t_a in einem Speichersystem mit einer einstufigen Cache-Hierarchie an. 0.5P
- Berechnen Sie die mittlere Zugriffszeit unter der Annahme, dass die Hit-Rate sowohl bei den Load- als auch bei den Store-Operationen $r_{L1} = 80\%$ beträgt. 0.5P
- Wie viele Zyklen benötigt das System für die Abarbeitung der oben genannten Anwendung? 1P

Der Cache wird nun durch einen Cache gleicher Größe, aber mit Write-Through und No-Write-Allocate-Verfahren ersetzt.

- Was unterscheidet einen Cache mit Write-Through von einem mit Copy-Back-Strategie? 1P
- Wieviele Zyklen werden nun für die Abarbeitung der Anwendung benötigt? 1P

Cache-Kohärenzprotokoll

6P

- Auf welchem Konzept basiert das MESI-Cachekohärenzprotokoll und was ist hierfür die technische Grundvoraussetzung? 1P

Ein Dreiprozessorsystem sei speichergekoppelt. Die Caches haben je eine Größe von zwei Cachezeilen, welche je genau ein Speicherwort aufnehmen können. Die Füllung des Caches erfolgt von der niedrigsten Cachezeile aufwärts, sofern noch freie Zeilen zur Verfügung stehen, andernfalls wird gemäß LRU-Strategie verdrängt. Als Cache-Kohärenzprotokoll komme das MESI-Protokoll zum Einsatz.

- g) Vervollständigen Sie die auf dem Lösungsblatt angegebene Tabelle: Geben Sie jeweils den Inhalt der Cachezeile und MESI-Zustand an. *4P*
- h) Würde die Verwendung des MOESI-Protokolls in diesem Fall zu einer Leistungssteigerung führen? Begründen Sie Ihre Antwort. *1P*

Aufgabe 6: Fehlertoleranz

10P

- a) In der Vorlesung haben Sie drei Arten der dynamischen Redundanz kennengelernt, die sich in der zwischenzeitlichen Verwendung der Ersatzkomponenten unterscheiden. Nennen Sie die Begriffe und erklären Sie diese. **3P**
- b) Wie berechnet sich die Verteilungsfunktion F_L zum Zeitpunkt t der Zufallsvariablen L , wenn man davon ausgeht, dass L durch die Dichtefunktion f_L charakterisiert ist? Gehen Sie davon aus, dass die Betrachtung zum Zeitpunkt 0 startet. **1P**
- c) In der Vorlesung haben Sie unterschiedliche Arten des Systemausfallverhaltens kennengelernt. Erklären Sie die Eigenschaften des Fail-stop-Systems und des Fail-silent-Systems. Wählen Sie außerdem aus allen drei möglichen das System aus, welches Sie im Höchstverfügbarkeitsbereich einsetzen würden (mit Begründung). **1,5P**
- d) Ein redundantes Mikrocontrollersystem bestehe aus zwei Microcontrollern $M1$ und $M2$ und einem nachgeschalteten Entscheider V . Liefern beide Controller unterschiedliche Ergebnisse, nimmt V das Ergebnis von $M1$ als korrekt an. Zeichnen Sie ein Zuverlässigkeitsblockdiagramm. Welche Schwachstelle hat diese Architektur? Wie beheben Sie diese unter der Bedingung, eine Verbesserung im Fehlerfall erreichen zu wollen? Der Entscheider V ist hierbei als fehlerfrei anzunehmen. **1,5P**

Ein Elektroauto bestehe aus drei Solarfeldern $SF_1 - SF_3$, einem Akkumulator A , einem Elektromotor M und einer bereits redundant ausgelegten Bedieneinheit B . Zum Betrieb des Fahrzeugs sind ein beliebiges Solarfeld oder der Akkumulator sowie der Motor und die Bedieneinheit notwendig.

- e) Zeichnen Sie das Zuverlässigkeitsblockdiagramm des Elektroautos. **1P**
- f) Stellen Sie die Systemfunktion S des Elektroautos auf. **1P**
- g) Stellen Sie die Formel zur Berechnung der Funktionswahrscheinlichkeit für das Auto basierend auf den Funktionswahrscheinlichkeiten $\varphi(SF)$ für ein einzelnes Solarfeld, $\varphi(A)$ für den Akkumulator, $\varphi(M)$ für den Elektromotor sowie $\varphi(B)$ für die Bedieneinheit auf. **1P**



Karlsruher Institut für Technologie
Institut für Technische Informatik
Prof. Dr. Wolfgang Karl

Klausur Rechnerstrukturen

Wintersemester 2009/10

Lösungsteil

Name: _____
Vorname: _____
Matrikelnummer: _____

Tragen Sie bitte auf jedem Blatt Ihren Namen und Ihre Matrikelnummer ein. Bitte tragen Sie alle Lösungen und Rechenwege an den vorgesehen Stellen ein und geben Sie keine zusätzlichen Blätter ab, ohne dies dem Aufsichtspersonal mitzuteilen.

Hinweis: Bei Rechenaufgaben ist die Angabe des Rechenwegs zwingend erforderlich. Ergebnisse ohne Rechenweg werden **nicht** gewertet.

Zum Bestehen der Klausur sind mindestens 20 Punkte erforderlich.

- Ich wünsche **keine** Notenveröffentlichung per Aushang (Matrikelnummer und Note) am schwarzen Brett
(Bei Ankreuzen kann die Note erst in der Klausureinsicht erfragt werden.)

Erreichte Punkte (wird vom Institut ausgefüllt):

Aufgabe	1	2	3	4	5	6
Punkte	/10	/10	/10	/10	/10	/10
Summe:						/60

Name:

Matrikelnummer:

2/18

Lösung 1: Quantifizierung

10P

a) Name:

2P

Formel:

Rechnung:

b) Begründung:

0,5P

Name:

Matrikelnummer:

3/18

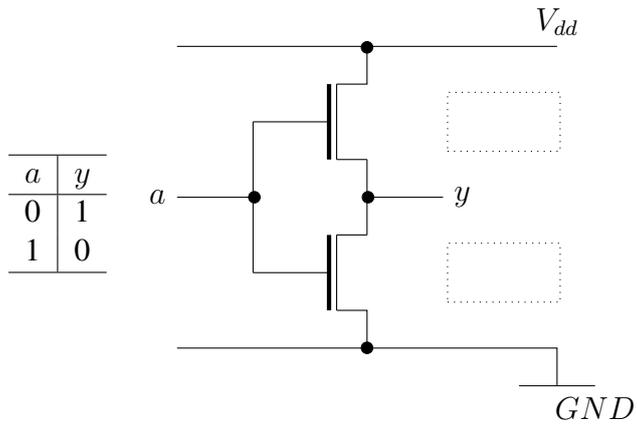
c) Antwort:

2P

Begründung:

d) Inverter:

0,5P



e) Antwort:

0,5P

f) Antwort:

0,5P

g) Antwort:

0,5P

h) Gesuchte Größe:

1,5P

Entstehung:

Trend:

Name:

Matrikelnummer:

5/18

i) Formel: $dpw =$

2P

Teilgrößen:

Antwort:

Lösung 2: Hardwareentwurf**10P**

a) Einsatzgebiete und Erläuterung:

2P

1.

1P

2.

1P

b) Configuration:

1P

c)

3P

```
entity _____ is
  Port (
```

```
;
```

```
;
```

```
;
```

```
;
```

```
-- leerer Kommentar
```

```
);
end entity;
```

Name:

Matrikelnummer:

7/18

d) Zeichnung:

2P

Signale und Variablen

2P

e) Ort der Definition:

1P

f) Unterschied:

1P

Lösung 3: Prozessorarchitektur**10P**

a) Formeln:

1P

- $T_{seq} =$

0,5P

$$T_{pipe} =$$

- $S =$

0,5P

b) Berechnung:

1P

- $T_{eff_takte} =$

0,5P

$$T_{eff_sekunden} =$$

- $S_{eff} =$

0,5P

c) Architekturvergleich:

1,5P

- $CPI_A =$

1P

$$CPI_B =$$

- Wahl und Begründung:

0,5P

d) Dynamische Verfahren:

1P

1.

0,5P

2.

0,5P

Name:

Matrikelnummer:

10/18

e) Skizze BTAC:

1P

f) Zeichnung 2-Bit-Hysteresezähler:

1P

Lösung 4: Parallelverarbeitung

10P

Quantitative Maßzahlen

3P

a) Amdahls Gesetz:

1P

b) • Algorithmenunabhängige Definition:

1P

• Nachteil der algorithmenabhängigen Definition:

c) •

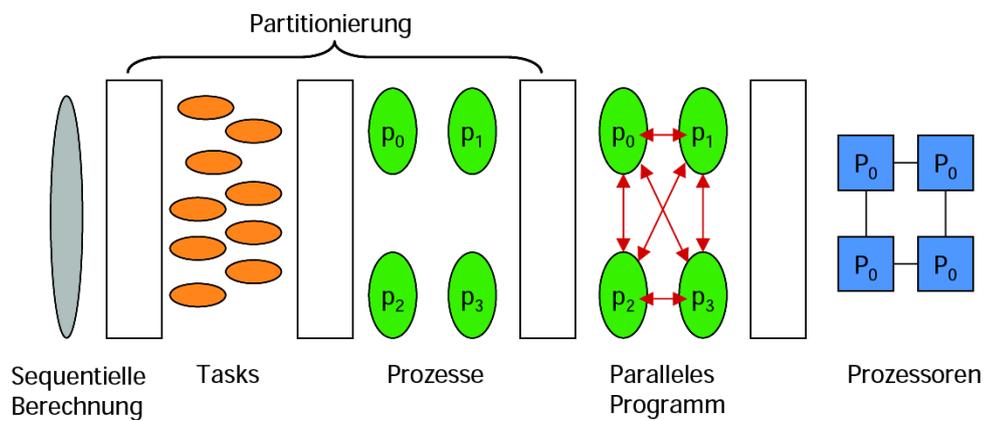
1P

•

Parallelisierung

2P

d)



Verbindungsnetze und -strukturen**2P**

e) •

1P

•

f) • Knotenzahl:

1P

• Diameter:

Vektorverarbeitung**3P**

g) • Vektorprozessoren (Vektorrechner):

1P

• Nachrichtengekoppelte Parallelrechner:

h)

1P

i)

1P

Lösung 5: Speicherhierarchie**10P****Cache-Leistung****4P**

a) Formel:

0.5Pb) Mittlere Zugriffszeit t_a :**0.5P**

c) Zyklusanzahl für den Copy-Back-Cache:

1P

d) Unterschied:

1P

e) Zyklusanzahl für den Write-Through-Cache:

1P

Name:

Matrikelnummer:

15/18

Cache-Kohärenzprotokoll

6P

f) Antwort:

1P

g) Tabelle:

4P

Prozessor	Aktion	Prozessor 1		Prozessor 2		Prozessor 3	
		Line 1	Line 2	Line 1	Line 2	Line 1	Line 2
	init	-	-	-	-	-	-
3	rd 4					4/E	
2	rd 1			1/E			
1	rd 4	4/S				4/S	
3	rd 2						2/E
3	wr 3						
1	rd 1						
1	wr 3						
2	rd 2						
3	rd 1						
1	wr 1						
2	rd 4						
1	wr 2						

h) Antwort und Begründung:

1P

Lösung 6: Fehlertoleranz

10P

a) Antwort:

3P

(1)

(2)

(3)

b) Formel:

1P

c) Fail-stop-System:

1,5P

Fail-silent-System:

Antwort:

d) Zuverlässigkeitsblockdiagramm des Microcontrollersystems:

1,5P

Schwachstelle:

Verbesserung:

e) Zuverlässigkeitsblockdiagramm des Elektroautos:

1P

f) Systemfunktion: $S =$

1P

g) Funktionswahrscheinlichkeit: $\varphi(S) =$

1P